



PATENT  
Docket No.: 492322013000

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Shuichi KIKUCHI et al.

Serial No.: 10/603,091

Filing Date: June 25, 2003

For: SEMICONDUCTOR DEVICE

Examiner: Not Yet Assigned

Group Art Unit: 2811

**SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Applications  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of Japanese patent application No. 2002-188283 filed June 27, 2002.

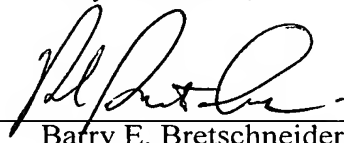
The certified priority document is attached to perfect Applicants' claim for priority.

It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicants petition for any required relief including extensions of time and authorize the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952** referencing **492322013000**.

Dated: October 17, 2003

Respectfully submitted,

By:   
Barry E. Bretschneider  
Registration No. 28,055

Morrison & Foerster LLP  
1650 Tysons Boulevard, Suite 300  
McLean, Virginia 22102  
Telephone: (703) 760-7748  
Facsimile: (703) 760-7777

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月27日

出 願 番 号

Application Number:

特願2002-188283

[ ST.10/C ]:

[ JP2002-188283 ]

出 願 人

Applicant(s):

三洋電機株式会社

2003年 5月27日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3040130

【書類名】 特許願

【整理番号】 KIA1020017

【提出日】 平成14年 6月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 菊池 修一

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 上原 正文

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 西部 栄次

【発明者】

    【住所又は居所】 群馬県大泉町坂田4-7-15 メゾン・ド・モリ10  
5

    【氏名】 安齊 勝義

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

    【代表者】 桑野 幸徳

【代理人】

    【識別番号】 100107906

    【弁理士】

    【氏名又は名称】 須藤 克彦

【電話番号】 0276-30-3151  
【選任した代理人】  
【識別番号】 100091605  
【弁理士】  
【氏名又は名称】 岡田 敬  
【手数料の表示】  
【予納台帳番号】 077770  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9904682  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板と、この半導体基板の表面に配置されたゲート絶縁膜と、このゲート絶縁膜上に配置されたゲート電極と、このゲート電極の一方の端に隣接し、前記半導体基板の表面に配置された第 2 導電型のソース層と、前記ゲート電極の他方の端から離間して、前記半導体基板の表面に配置された第 2 導電型の高濃度のドレイン層と、この高濃度のドレイン層と前記ゲート電極の他端の間であって前記半導体基板の表面に配置された第 2 導電型の低濃度のドレイン層と、前記高濃度のドレイン層より深い領域に配置されこの高濃度のドレイン層と P N 接合を成す第 1 導電型の埋め込み層と、を具備することを特徴とする半導体装置。

【請求項 2】 前記低濃度のドレイン層の表面に前記ゲート酸化膜よりも厚い酸化膜が配置され、前記ゲート電極はこの厚い酸化膜の一部上に延在することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 第 1 導電型の半導体基板の表面に第 2 導電型の低濃度のドレイン層を形成する工程と、

前記半導体基板の表面にゲート絶縁膜を形成する工程と、

このゲート絶縁膜上であって、前記低濃度のドレイン層に隣接してゲート電極を形成する工程と、

前記低濃度のドレイン層に隣接し、前記ゲート電極から離れた前記半導体基板の表面に第 2 導電型の高濃度のドレイン層を形成する工程と、

前記高濃度のドレイン層より深い位置に、この高濃度のドレイン層と P N 接合を成す第 1 導電型の埋め込み層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 4】 第 1 導電型の半導体基板の表面に第 2 導電型の低濃度のドレイン層を形成する工程と、

この低濃度のドレイン層の表面にフィールド酸化膜を形成する工程と、

前記半導体基板の表面にゲート絶縁膜を形成する工程と、

このゲート絶縁膜上から前記フィールド酸化膜の一部上に延在するゲート電極を形成する工程と、

前記低濃度のドレイン層に隣接し、前記ゲート電極から離れた前記半導体基板の表面に第2導電型の高濃度のドレイン層を形成する工程と、

前記高濃度のドレイン層より深い位置に、この高濃度のドレイン層とPN接合を成す第1導電型の埋め込み層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項5】 第1導電型の半導体基板の表面に第2導電型の低濃度のドレイン層を形成する工程と、

この低濃度のドレイン層の表面にフィールド酸化膜を形成する工程と、

前記半導体基板の表面上にゲート絶縁膜を形成する工程と、このゲート絶縁上から前記フィールド酸化膜の一部上に延在するゲート電極を形成する工程と、

前記低濃度のドレイン層に接触し、前記ゲート電極から離れた前記半導体基板の表面に第2導電型の高濃度のドレイン層を形成するための第1イオン注入を行う工程と、

前記高濃度のドレイン層のイオン注入領域より内側の領域であって、前記高濃度のドレイン層のイオン注入領域より深い領域に、第1導電型の埋め込み層を形成するための第2イオンを行う工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に半導体集積回路に内蔵される高耐圧MOSトランジスタに関する。

【0002】

【従来の技術】

高耐圧MOSトランジスタは、高いソースドレイン耐圧（BVDS）、あるいは高いゲート耐圧を有しており、LCDドライバー、ELドライバーや電源回路等に応用されている。

## 【 0 0 0 3 】

図 9 は、従来例に係る N チャネル型の高耐圧 MOS トランジスタの構造を示す断面図である。P 型のシリコン基板 1 0 0 の表面にゲート酸化膜 1 0 1、厚いフィールド酸化膜 1 0 2 が形成されている。そして、ゲート酸化膜 1 0 1 から隣接するフィールド酸化膜 1 0 2 の一部上に延在するゲート電極 1 0 3 が形成されている。このゲート電極 1 0 3 の一方の端に隣接するシリコン基板 1 0 0 の表面領域に N + 型ソース層 1 0 4 が形成されている。また、ゲート電極 1 0 3 の他方の端から離間して、半導体基板 1 0 0 の表面に N + 型ドレイン層 1 0 5 が形成されている。

## 【 0 0 0 4 】

この N + 型ドレイン層 1 0 5 とゲート電極 1 0 3 の他端の間であってシリコン基板 1 の表面領域（オフセット領域）には、N - 型ドレイン層 1 0 6 が形成されている。N - 型ドレイン層 1 0 6 は、N + 型ドレイン層 1 0 5 より深く拡散され、フィールド酸化膜 1 0 2 の下方からゲート電極 1 0 3 の端に至る領域に広がっている。

## 【 0 0 0 5 】

上記の高耐圧 MOS トランジスタ構造によれば、N - 型ドレイン層 1 0 6 を設けたことにより、ドレイン層 1 0 6 に高電圧を印加した場合に、N - 型ドレイン層 1 0 6 の中に空乏層が広がることでドレイン電界が緩和されるため、高いソースドレイン耐圧を得ることができる。また、ゲート電極 1 0 3 はゲート酸化膜 1 0 1 から隣接するフィールド酸化膜 1 0 2 の一部上に延在しているため、ゲート酸化膜 1 0 3 の破壊にも強い構造を有している。

## 【 0 0 0 6 】

## 【発明が解決しようとする課題】

しかしながら、本発明者の実験によれば、上記従来のトランジスタ構造では、静電破壊耐量（以下、ESD 耐量という）が低いという問題があった。例えば、人体モデルに基づく一般的な静電破壊試験（容量 1 0 0 p F、抵抗 1 . 5 K  $\Omega$ ）によれば、5 0 0 V 程度の ESD 耐量であり、これは不十分な値であった。

## 【 0 0 0 7 】



## 【課題を解決するための手段】

そこで、本発明者は従来のトランジスタの静電破壊の原因を検討したところ、サージ電流がゲート電極 1 0 3 の下の N 型ドレイン層 1 0 6 (図 9 中の A の部分) に集中し、この部分が熱破壊してしまうことが判明した。

## 【0 0 0 8】

そこで、本発明は図 3 (a) に示すように、N 型ドレイン層 9 の下には N 型ドレイン層 2 が形成されないようにし、かつ N 型ドレイン層 9 の下の領域に P 型埋め込み層 1 1 を形成した。これにより、N 型ドレイン層 9 と P 型埋め込み層 1 1 との間で P N 接合が形成される。局所的に接合耐圧が小さい領域が形成される。このため、ゲート電極 6 の下の N 型ドレイン層 2 が熱破壊する前に、サージ電流は N 型ドレイン層 9 からシリコン基板 1 に逃げる。その結果、E S D 耐量を向上することができる。

## 【0 0 0 9】

## 【発明の実施の形態】

次に、本発明の第 1 の実施形態による半導体装置及びその製造方法について図面を参照しながら説明する。

## 【0 0 1 0】

まず、図 1 (a) に示すように、P 型シリコン基板 1 の表面にイオン注入・熱拡散により N 型ドレイン層 2 A, 2 B を形成する。N 型ドレイン層 2 A, 2 B の間は離間されている。すなわち、所定のマスクを用い、この離間領域にはイオン注入がされないようにしているため、N 型ドレイン層は形成されない。ここで、P 型シリコン基板 1 の不純物濃度は約  $1 \times 10^{15} / \text{cm}^3$  である。また、イオン注入は、例えばリン ( $^{11}\text{P}^+$ ) を dose 量  $1 \times 10^{13} / \text{cm}^2$  の条件で P 型シリコン基板 1 に打ち込む。また、熱拡散の条件は例えば  $1100^\circ \text{C}$ 、 $\text{N}_2$  雰囲気である。この結果、N 型ドレイン層 2 A, 2 B は、約  $1.2 \mu\text{m}$  の深さに拡散される。

## 【0 0 1 1】

次に、図 1 (b) に示すように、LOCOS (Local Oxidation Of Silicon) 法を用いて、N 型ドレイン層 2 A, 2 B の表面に、それぞれ厚いフィールド酸

化膜 4 A, 4 B を形成する。フィールド酸化膜 4 A, 4 B は一般には素子分離用に形成されるが、この半導体装置では高耐圧トランジスタの耐圧を向上するために利用している。その膜厚は目標耐圧によって異なるが、300 nm ~ 600 nm 程度である。さらに厚いフィールド酸化膜 4 A, 4 B を除く、シリコン基板 1 の表面領域にゲート酸化膜 3 を形成する。その膜厚もトランジスタのゲート耐圧の目標耐圧によって異なるが、15 nm ~ 100 nm 程度である。厚いフィールド酸化膜 4 A, 4 B は、ゲート酸化膜 3 よりも相当厚い膜厚を有している。

【 0 0 1 2 】

次に、図 1 (c) に示すように、LPCVD 法により全面にポリシリコン層 5 を堆積し、更にリン等の不純物を拡散して低抵抗化する。

【 0 0 1 3 】

次に、図 2 (a) に示すように、ポリシリコン層 5 を不図示のフォトリジストを用いて選択的にエッチングし、ゲート電極 6 を形成する。ゲート電極 6 は、ゲート酸化膜 3 上から隣接するフィールド酸化膜 4 A の一部上に延在するようにエッチングされる。

【 0 0 1 4 】

次に、図 2 (b) に示すように、N+型ソース層 8 及び N+型ドレイン層 9 を形成する。この工程は、N-型ドレイン層 2 A, 2 B の間に開口を有するフォトリジスト層 7 を形成し、このフォトリジスト層 7 をマスクとしてイオン注入を行う。このイオン注入は、例えば砒素 ( $^{75}\text{As}^+$ ) を dose 量  $4 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 40 KeV の条件で打ち込み、その後、リン ( $^{31}\text{P}^+$ ) を dose 量  $4 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 40 KeV の条件で打ち込む。即ち、N+型ソース層 8 及び N+型ドレイン層 9 は、砒素 ( $^{75}\text{As}^+$ ) とリン ( $^{31}\text{P}^+$ ) の 2 種類の N 型不純物で形成される。その後の熱処理で、リン ( $^{31}\text{P}^+$ ) は砒素 ( $^{75}\text{As}^+$ ) より深く拡散されるため、ソースドレイン耐圧の向上に効果がある。

【 0 0 1 5 】

次に、図 2 (c) に示すように、フォトリジスト層 7 を除去した後に、さらに別のフォトリジスト層 10 をマスク露光及び現像により形成する。このフォトレ

ジスト層 10 は、フォトリジスト層 7 よりも小さな開口を有している。すなわち、N+型ドレイン層 9 のイオン注入領域よりも内側の領域をイオン注入領域として設定している。そして、フォトリジスト層 10 をマスクとして、例えばボロン ( $^{11}\text{B}^+$ ) をdose量  $4 \times 10^{12} / \text{cm}^2$ 、加速エネルギー 160 KeV の条件で打ち込む。

## 【0016】

これにより、N+型ドレイン層 9 よりも深い領域に P+型埋め込み層 11 が形成される。上記のようにイオン注入領域を設定しているので、P+型埋め込み層 11 はN-型ドレイン層 2A, 2B との重畳が起こりにくくなる。このため、N-型ドレイン層 2A, 2B の不純物濃度に影響されずに、P+型埋め込み層 11 の不純物濃度を高精度で制御することができるようになり、ESD耐量の制御が容易になる。

## 【0017】

次に、図 3 (a) に示すように、フォトリジスト層 10 を除去し、800°C で、N+型ソース層 8 及びN+型ドレイン層 9 のアニールを行う。

## 【0018】

そして、図 3 (b) に示すように、層間絶縁膜としてBPSEG膜 12 をCVD 法により堆積する。その後、N+型ソース層 8 及びN+型ドレイン層 9 上にコンタクトホールを形成し、N+型ソース層 8 上にソース電極 13、N+型ドレイン層 9 上にドレイン電極 14 を形成する。

## 【0019】

このようにして完成した半導体装置によれば、N+型ドレイン層 9 の下にはN-型ドレイン層 2 が形成されないようにし、かつN+型ドレイン層 9 の下の領域に P+型埋め込み層 11 を形成している。N+型ドレイン層 9 と P+型埋め込み層 11 との間で、濃度の高いPN接合が形成される。即ち、局所的に接合耐圧が小さい領域が形成される。このため、ゲート電極 6 の下のN-型ドレイン層 2 が熱破壊する前に、サージ電流はこのPN接合を通過してシリコン基板 1 に逃げる。その結果、ESD耐量を向上することができる。

## 【0020】

図 4 は、P+型埋め込み層 1 1 を形成するための上記イオン注入工程におけるボロン ( $^{11}\text{B}^+$ ) のdose量と最小ソースドレイン耐圧  $BVD S_{min}$  との関係を示す図である。ここで、最小ソースドレイン耐圧  $BVD S_{min}$  は、トランジスタが動作中の場合を含めて最も低いソースドレイン耐圧である。一般に、Nチャネル型 MOS トランジスタのソースドレイン耐圧はゲート電圧依存性を示し、ソースドレイン間に電流が流れている状態に対応して、あるゲート電圧の時に最小となる。図 4 に示すように、ボロン ( $^{11}\text{B}^+$ ) のdose量が  $0 \sim 4 \times 10^{12} / \text{cm}^2$  の範囲で、最小ソースドレイン耐圧  $BVD S_{min}$  は 3.6 V でほぼ一定である。

## 【 0 0 2 1 】

図 5 は、P+型埋め込み層 1 1 を形成するための上記イオン注入工程におけるボロン ( $^{11}\text{B}^+$ ) のdose量と ESD 耐量の関係を示す図である。ESD 耐量はボロン ( $^{11}\text{B}^+$ ) のdose量が「0」の場合には、800 V である。この場合でも従来例に比して ESD 耐量は向上しているが、ボロン ( $^{11}\text{B}^+$ ) のdose量が  $4 \times 10^{12} / \text{cm}^2$  の場合には、2700 V に向上することが実験的に確認された。

## 【 0 0 2 2 】

次に、本発明の第 2 の実施形態による半導体装置及びその製造方法について図面を参照しながら説明する。なお、第 1 の実施形態の図 1 ～図 3 と同一の構成部分については同一の符号を付す。

## 【 0 0 2 3 】

まず、図 6 (a) に示すように、P 型シリコン基板 1 の表面に N-型ドレイン層を形成する。第 1 の実施形態と異なる点は、N-型ドレイン層 2 は、離間領域を有しない点である。その他のプロセス条件は第 1 の実施形態と全く同じである。

## 【 0 0 2 4 】

次に、図 6 (b) に示すように、ゲート酸化膜 3、フィールド酸化膜 4 A, 4 B を形成する。そして、図 6 (c) に示すように、全面にポリシリコン層 5 を形成する。ここまでの工程も第 1 の実施形態と全く同じである。

## 【 0 0 2 5 】

次に、図 7 (a) に示すように、N-型ドレイン層 2 上にフォトレジスト層 2 0 を形成し、例えば砒素 ( $^{75}\text{As}^+$ ) をdose量  $4 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 40 KeV の条件で打ち込み、N+型ソース層 2 1 を形成する。

## 【0026】

次に、図 7 (b) に示すように、フォトレジスト層 2 0 を除去した後に、別のフォトレジスト層 2 2 を形成し、N+型ドレイン層 2 3 の形成予定領域に開口部を設ける。そして、この開口部から、例えば砒素 ( $^{75}\text{As}^+$ ) をdose量  $4 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 40 KeV の条件で打ち込み、その後、リン ( $^{31}\text{P}^+$ ) をdose量  $4 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 40 KeV の条件で打ち込む。即ち、N+型ドレイン層 2 3 は、砒素 ( $^{75}\text{As}^+$ ) とリン ( $^{31}\text{P}^+$ ) の 2 種類のN型不純物で形成される。その後の熱処理で、リン ( $^{31}\text{P}^+$ ) は砒素 ( $^{75}\text{As}^+$ ) より深く拡散されるため、ソースドレイン耐圧の向上に効果がある。

## 【0027】

続いて、同じフォトレジスト層 2 2 の開口部から、ボロン ( $^{11}\text{B}^+$ ) を加速エネルギー 160 KeV の条件で打ち込むことにより、N+型ドレイン層 2 3 の下の領域にP+型埋め込み層 2 4 を形成する。

## 【0028】

本実施形態では、N-型ドレイン層 2 がN+型ドレイン層 2 3 の下の領域に広がっているため、P+型埋め込み層 2 4 の濃度を第 1 の実施形態のものと同一にするためには、上記ボロンのdose量よりも増加させる必要がある。

## 【0029】

次に、図 7 (c) に示すように、フォトレジスト層 2 2 を除去し、例えば、800°C でアニールを行う。これにより、N+型ドレイン層 2 3、P+型埋め込み層 2 4 は拡散する。ここで、サージ電流をシリコン基板 1 に迅速に逃がすためには、P+型埋め込み層 2 4 が拡散され、P型シリコン基板 1 に接触するようにすることが好ましい。

## 【0030】

この後、図 8 に示すように、層間絶縁膜としてBP SG膜 1 2 をCVD法により堆積する。その後、N+型ソース層 2 1 及びN+型ドレイン層 2 4 上にコンタ

クトホールを形成し、N+型ソース層 2 1 上にソース電極 1 3、N+型ドレイン層 2 4 上にドレイン電極 1 4 を形成する。

【 0 0 3 1 】

このように、本実施形態によれば、N+型ドレイン層 2 3 の下の領域に P+型埋め込み層 2 4 を形成しているので、N+型ドレイン層 2 3 と P+型埋め込み層 2 4 との間に、濃度の高い P N 接合が形成される。即ち、局所的に接合耐圧が小さい領域が形成される。このため、ゲート電極 6 の下の N-型ドレイン層 2 が熱破壊する前に、サージ電流はこの P N 接合を通過してシリコン基板 1 に逃げる。その結果、第 1 の実施形態と同様に、E S D 耐量を向上することが期待される。

【 0 0 3 2 】

なお、上記実施形態では、Nチャネル型 M O S トランジスタについて説明したが、本発明は Pチャネル型 M O S トランジスタについても同様に適用することができる。

【 0 0 3 3 】

【発明の効果】

本発明によれば、M O S トランジスタの N+型ドレイン層 9 の下には N-型ドレイン層 2 が形成されないようにし、かつ N+型ドレイン層 9 の下の領域に P+型埋め込み層 1 1 を形成した。これにより、E S D 耐圧を向上することができる。また、P+型埋め込み層 1 1 の形成用のボロン注入量を適切に設定することで、トランジスタの最小ソースドレイン耐圧を低下させることなく、E S D 耐量を少なくとも 2 7 0 0 V に向上することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態による半導体装置及びその製造方法を示す断面図である。

【図 2】

本発明の第 1 の実施形態による半導体装置及びその製造方法を示す断面図である。

【図 3】

本発明の第 1 の実施形態による半導体装置及びその製造方法を示す断面図である。

【図 4】

P + 型埋め込み層 1 1 を形成するための上記イオン注入工程におけるボロン ( $^{11}\text{B}^+$ ) のdose量と最小ソースドレイン耐圧  $B V D S_{\min}$  との関係を示す図である。

【図 5】

P + 型埋め込み層 1 1 を形成するための上記イオン注入工程におけるボロン ( $^{11}\text{B}^+$ ) のdose量と E S D 耐量の関係を示す図である。

【図 6】

本発明の第 2 の実施形態による半導体装置及びその製造方法を示す断面図である。

【図 7】

本発明の第 2 の実施形態による半導体装置及びその製造方法を示す断面図である。

【図 8】

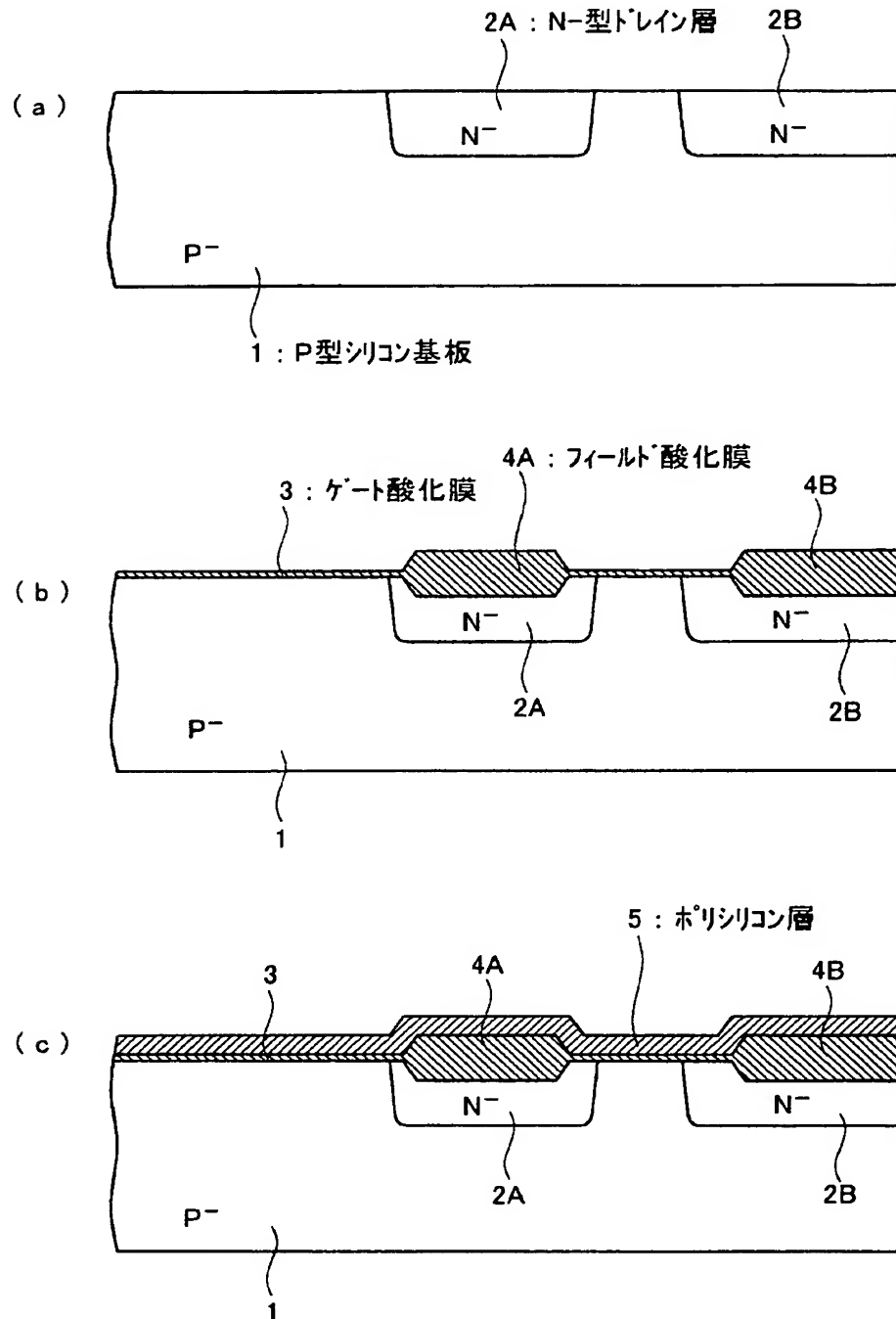
本発明の第 2 の実施形態による半導体装置及びその製造方法を示す断面図である。

【図 9】

従来例に係る半導体装置を示す断面図である。

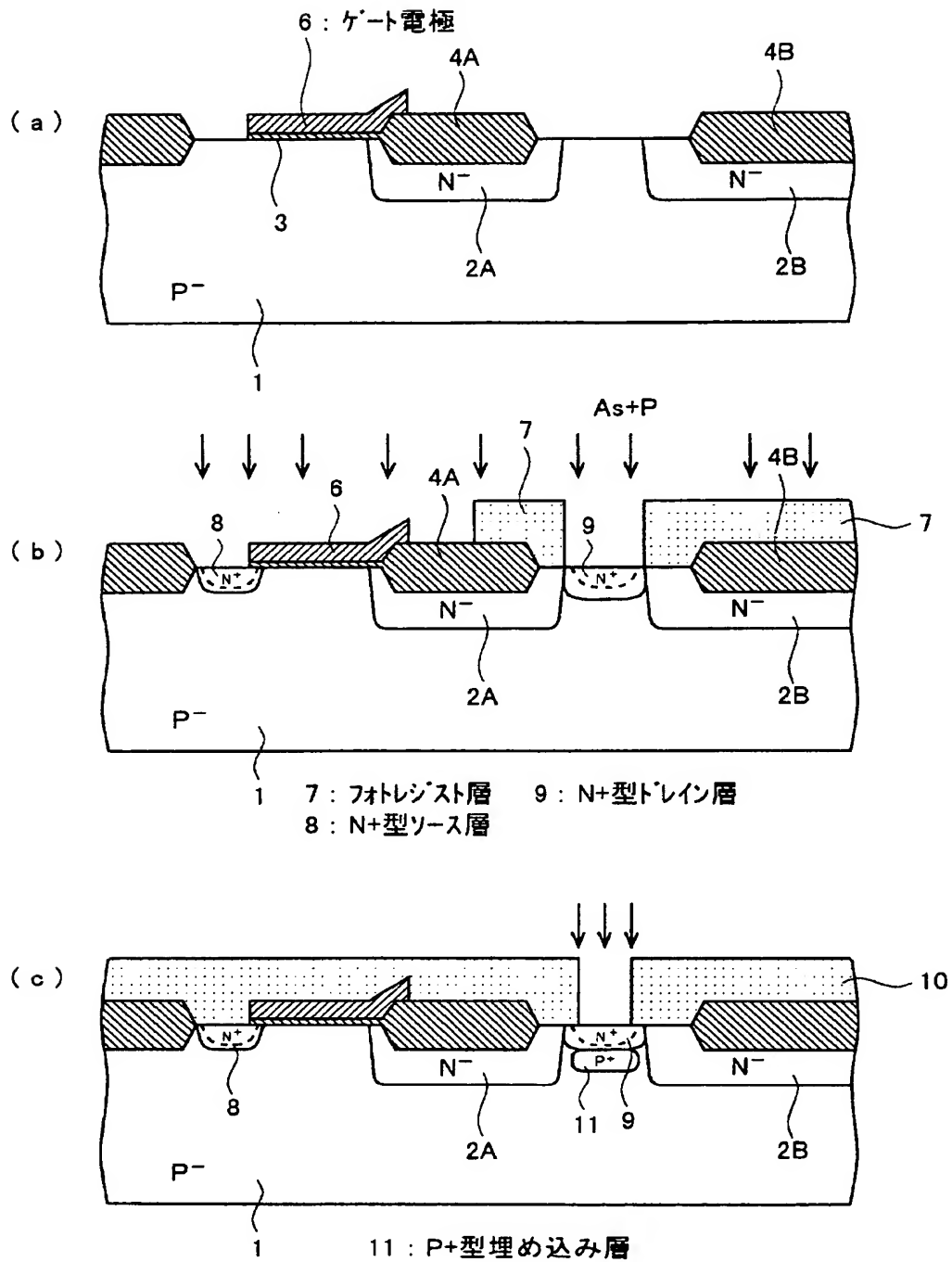
【書類名】 図面

【図 1】

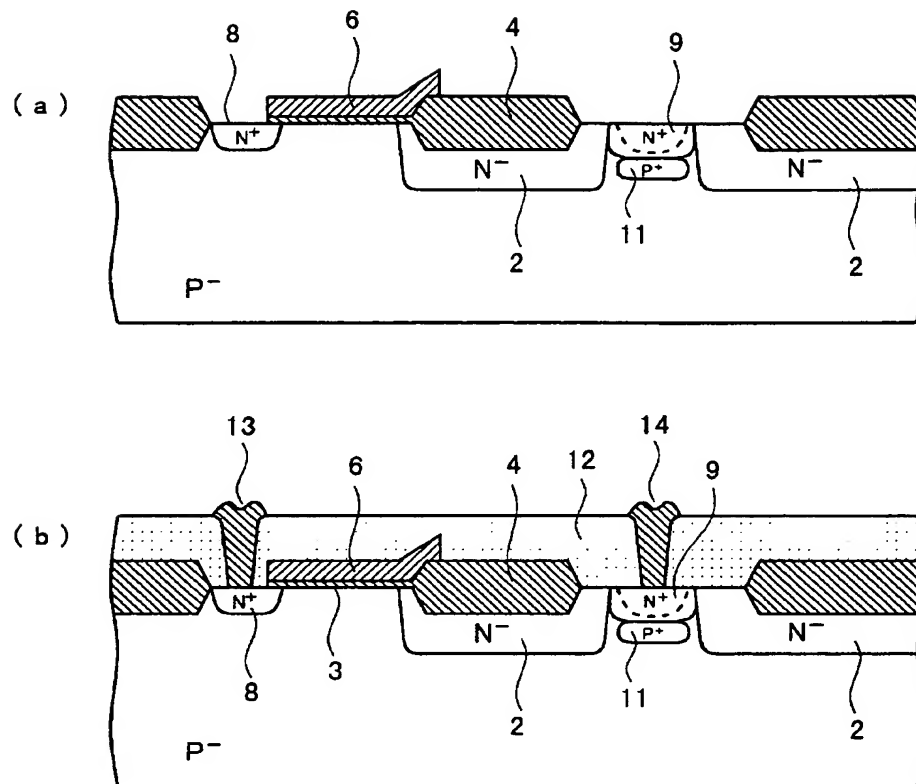




【図 2】

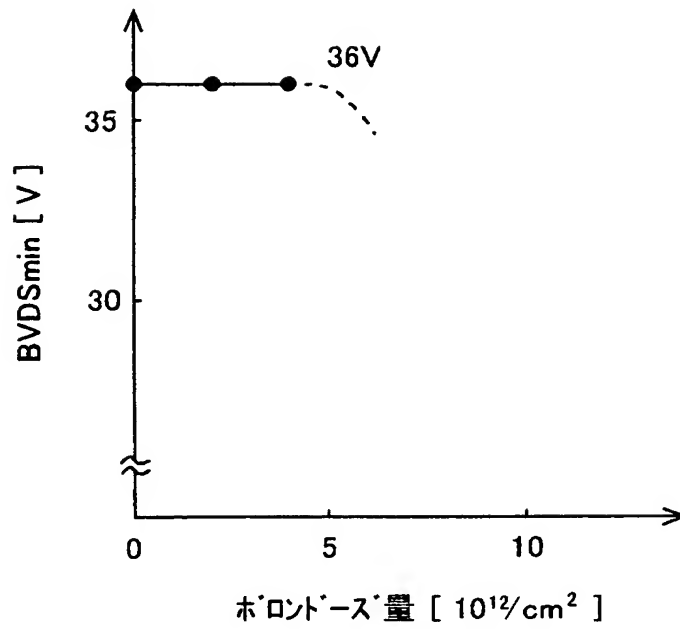


【図 3】

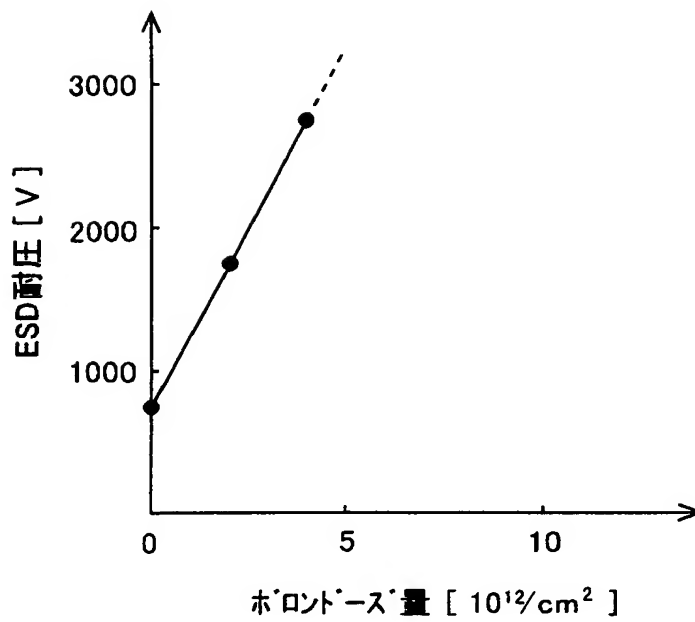


12 : BPSG膜 13 : ソース電極  
14 : ドレイン電極

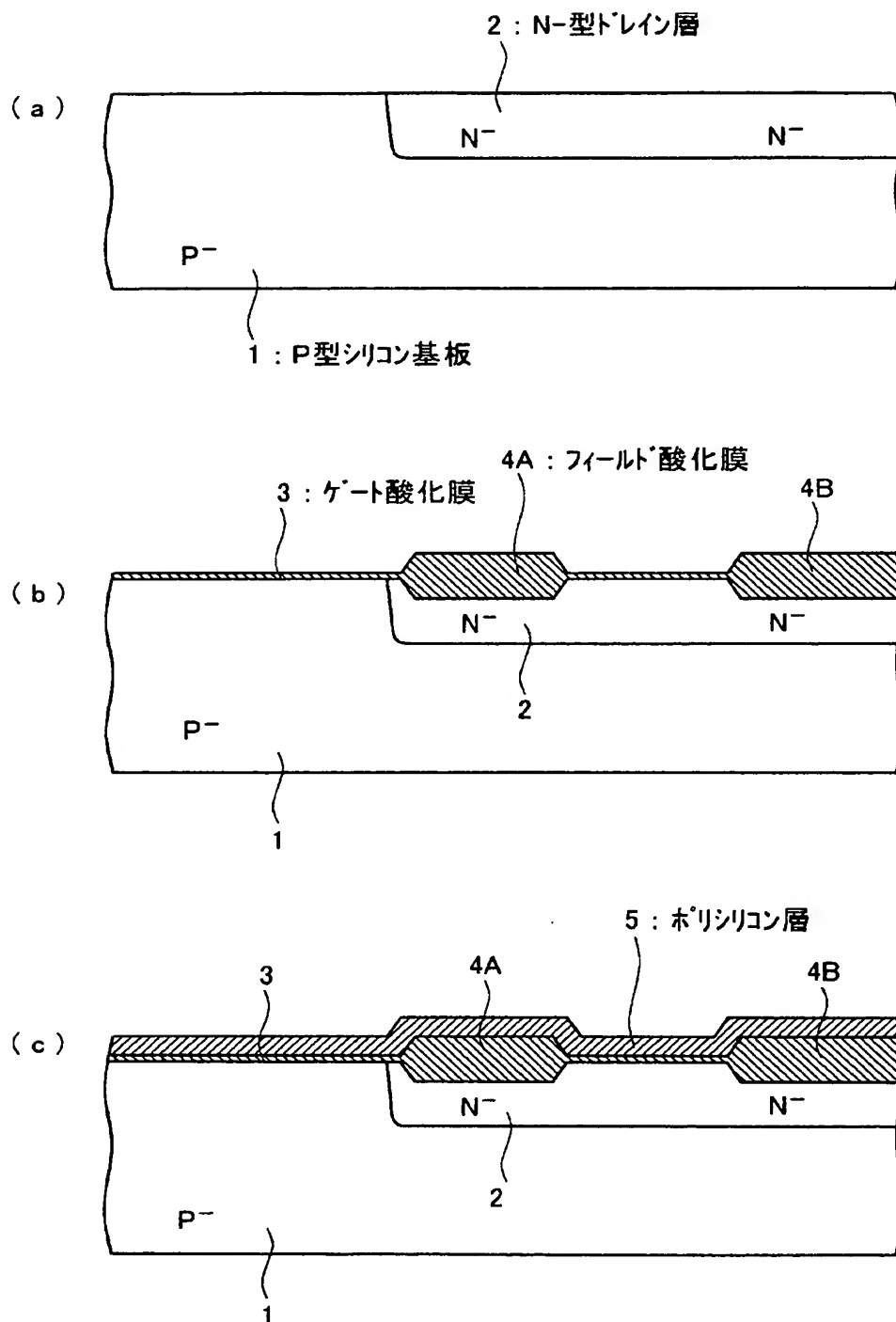
【図 4】



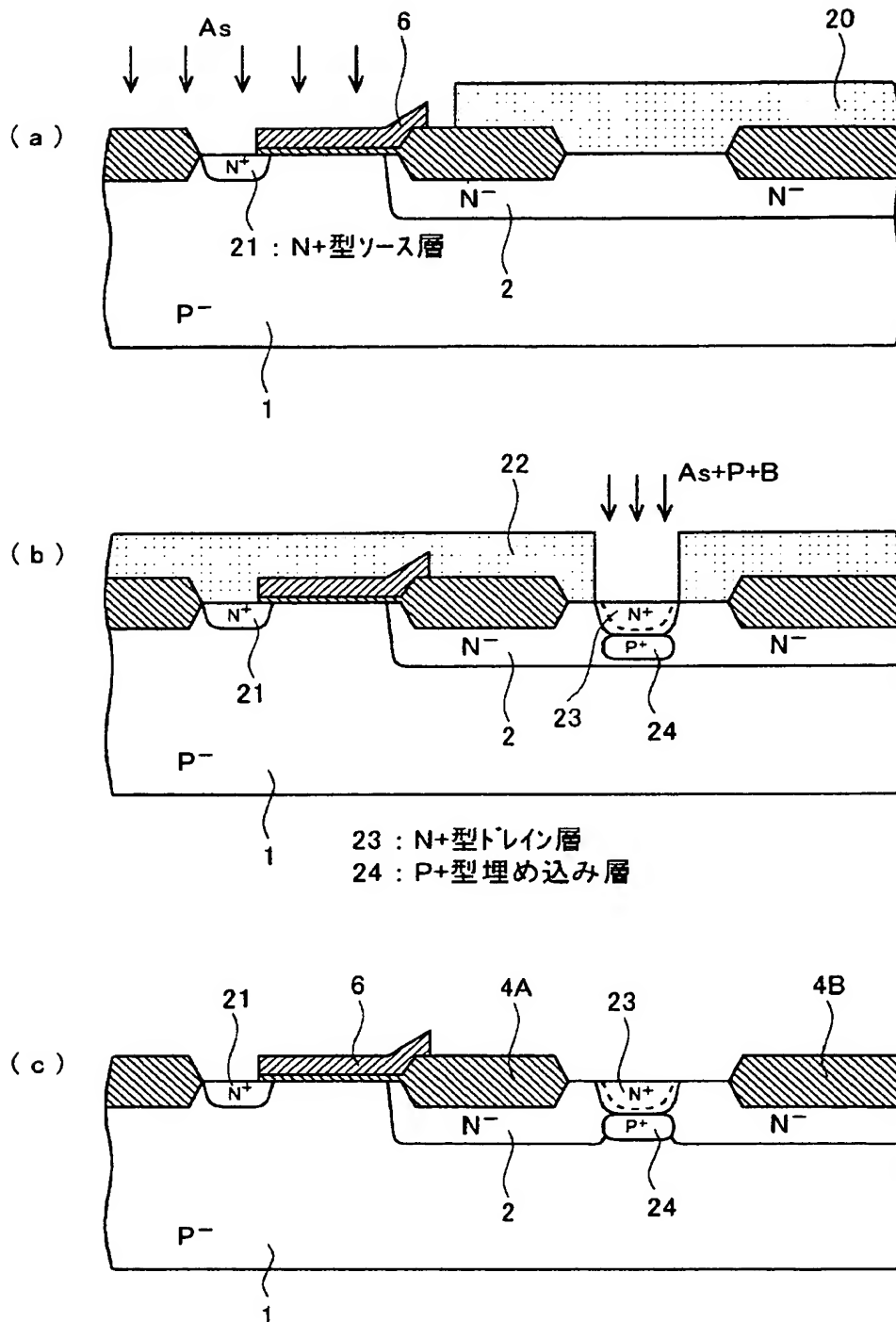
【図 5】



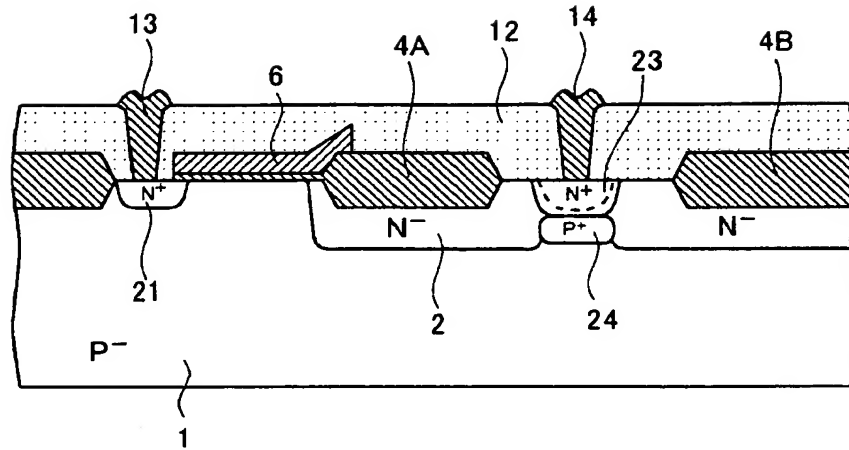
【図 6】



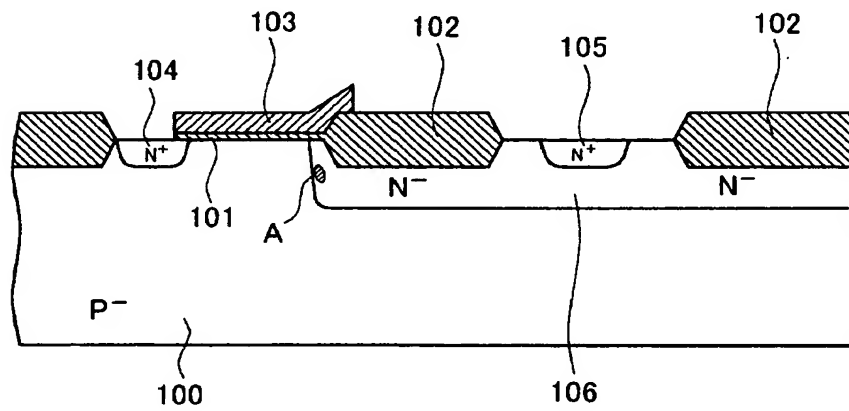
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 高耐圧MOSトランジスタの静電破壊耐量を向上させる。

【解決手段】 MOSトランジスタのN+型ドレイン層9の下にはN-型ドレイン層11が形成されないようにし、かつN+型ドレイン層9の下の領域にP+型埋め込み層11を形成した。N+型ドレイン層9とP+型埋め込み層11との間で、濃度の高いPN接合が形成される。即ち、局所的に接合耐圧が小さい領域が形成される。このため、ゲート電極6の下にN-型ドレイン層2が熱破壊する前に、サージ電流はこのPN接合を通過してシリコン基板1に逃げる。その結果、ESD耐量を向上することができる。

【選択図】 図3

【書類名】 手続補正書  
【整理番号】 KIA1020017  
【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-188283

【補正をする者】

【識別番号】 000001889  
【氏名又は名称】 三洋電機株式会社  
【代表者】 桑野 幸徳

【代理人】

【識別番号】 100107906  
【弁理士】  
【氏名又は名称】 須藤 克彦  
【電話番号】 0276-30-3151

【手続補正 1】

【補正対象書類名】 特許願  
【補正対象項目名】 発明者  
【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社  
社内

【氏名】 菊地 修一

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社  
社内

【氏名】 上原 正文

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会



社内

【氏名】 西部 栄次

【発明者】

【住所又は居所】 群馬県大泉町坂田 4 - 7 - 1 5 メゾン・ド・モリ 1 0  
5

【氏名】 安齊 勝義

【その他】 共同発明者の一人の氏名の記載に誤記がありましたので、  
手続補正により当該発明者の正しい氏名を記載します。  
（誤記の理由）特許願作成時の錯誤により、筆頭発明者を「菊地 修一」と記載すべきところ、「菊地」を「菊池」に誤り、「菊池 修一」と記載してしまった為です。

【プルーフの要否】 要

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 1 8 8 2 8 3
受付番号	5 0 2 0 0 9 6 8 8 6 3
書類名	手続補正書
担当官	笹川 友子 9 4 8 2
作成日	平成 1 4 年 7 月 8 日

< 認定情報・付加情報 >

【提出日】	平成14年 7月 2日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日 1 9 9 3 年 1 0 月 2 0 日  
[変更理由] 住所変更  
住 所 大阪府守口市京阪本通 2 丁目 5 番 5 号  
氏 名 三洋電機株式会社